

2026 VLSI Review

한양대학교 박사후연구원 송충석

Session 20 Next-Generation Optical Transceivers

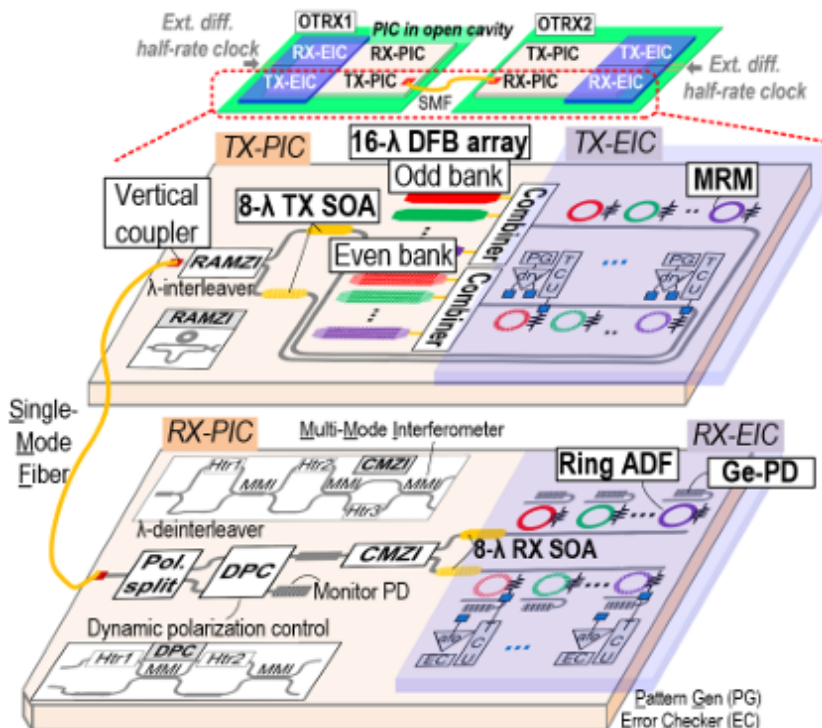
이번 2026 VLSI의 Session 20은 Next-Generation Optical Transceivers라는 주제로 총 4편의 논문이 발표되었다. 본 리뷰에서는 CMOS 전자 IC(EIC)와 실리콘 포토닉스 IC(PIC)를 3D 적층, 하이브리드 본딩으로 이종집적하여 회로-소자 공동설계를 통해 광 인터커넥트의 채널당 데이터율과 비트당 에너지 효율을 동시에 개선하고자 한 3편의 논문을 리뷰하고자 한다.

#20-1 논문에서는 open-cavity package 기반 800 Gbps/fiber 실리콘 포토닉 마이크로링 dense wavelength division multiplexing (DWDM) 트랜시버를 발표하였다. 고성능 컴퓨팅 (high performance computing) 스케일업 패브릭의 대역폭 요구를 충족하기 위해 실리콘 포토닉스 기반 co-packaged optics (CPO)가 주목받고 있으며 마이크로링 공진기 기반 광 송수신기는 WDM을 통해 파이버당 대역폭을 동일 면적 및 동일 에너지로 확장할 수 있다는 장점이 있다. 그러나 기존 마이크로링 공진기 기반 DWDM 트랜시버는 몇 가지 한계를 가지는데, (1) 인터포저를 매개로 EIC-PIC를 연결하는 패키징은 고속 경로에 큰 기생 성분을 유발해 대역폭을 제한하고, (2) 마이크로링 공진 구동용 단일종단 스택형 드라이버는 높은 출력 임피던스로 인해 링 변조기 특유의 큰 스윙을 고속으로 인가하기 어려우며, (3) DC 커플링 시 저주파 베이스라인 완더(BLW)로 eye opening 현상이 저하되며, (4) 또한 채널 수 증가에 따라 인접 파장 간 크로στο크와 각 링을 레이저 파장에 개별 록킹시키는 열 제어의 복잡도가 커지게 된다.

이를 해결하기 위해 본 논문은 22nm CMOS EIC와 Intel Fab11x O-band PIC를 인터포저 없이 식각 캐비티 기판에 3D 플립칩으로 직접 실장해 기생 성분을 최소화하고 차동 인버터 기반 TX 드라이버로 고 임피던스 문제없이 전체 스윙을 인가하며, AC/DC 피드포워드-피드백 구조로 BLW를 보상한다.

칩 측정 결과는 200 GHz 간격의 16개 파장을 O-band에서 각 50Gbps NRZ로 동시 변조해 파이버당 총 800Gbps를 달성했으며 짝수, 홀수 8 레인씩 총 16레인 모두에서 $BER < 1e-9$ 를 만족하였다. 50Gbps PRBS-15 아이 다이어그램에서 5dB 이상의 소광비 (extinction ratio)가 측정됐고, BLW 보정 회로 적용 시 8Gbps PRBS-31 조건에서 eye opening 현상이 0.35dB 개선되었다. 에너지 효율은 22nm TX EIC가 0.92pJ/b, RX EIC가

3.1pJ/b, PIC가 1.69pJ/b로 측정되었다. 논문에서는 고집적 O-band PIC, 고대역폭 EIC 회로 기법, 인퍼토저 없는 저기생 패키지의 결합이 파이버당 800Gbps급 데이터율을 에너지 효율적으로 달성한 핵심 요인이라고 언급하였다.



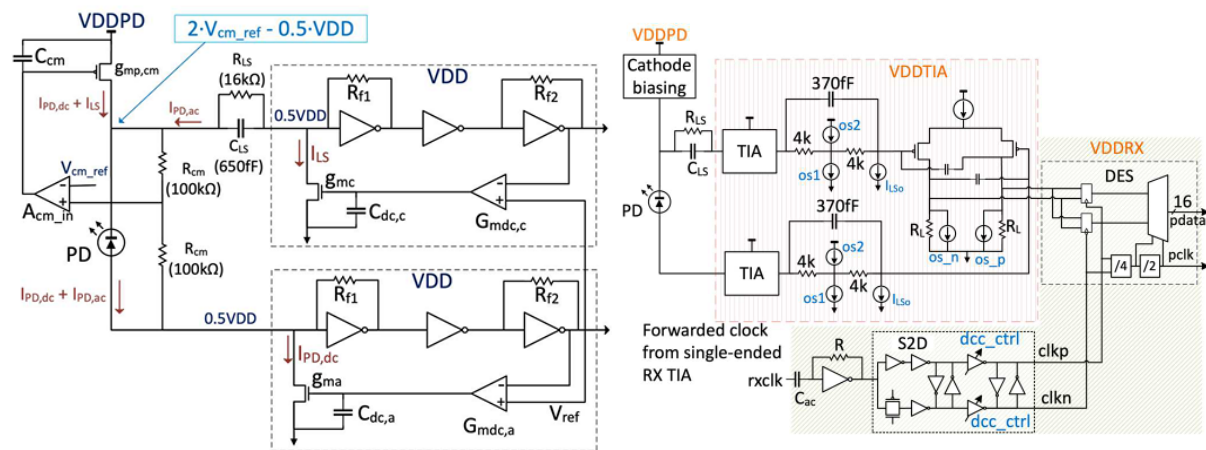
[그림 1] 논문에서 제안한 DWDM 트랜시버

#20-2 논문에서는 3D 적층 실리콘 포토닉스 플랫폼에서 차동 TIA를 이용해 -17.3dBm 수신 감도를 달성한 32Gb/s 광 수신기를 발표하였다. 데이터센터 direct detection 광링크에서 TIA 감도는 링크 budget과 에너지 효율에 직결되나 동기검출(coherent detection)과 달리 direct detection은 포토다이오드(PD)가 본질적으로 단일종단 소자이기 때문에 대부분 단일종단 TIA를 사용해 왔다. PD 캐소드 전류까지 활용하면 출력 신호가 2배가 되고 SNR이 $\sqrt{2}$ 배 개선되지만 고속 동작을 위한 PD의 높은 역바이어스 전압 때문에 캐소드 단자를 활용하기 어렵다는 문제가 있었다. 기존 방식은 애노드 노드에서 단일종단-차동 변환을 수행해 오히려 SNR이 저하되거나, 진성 차동 TIA에서 캐소드 노드를 AC 커플링하여 바이어스 불일치를 해결하였었는데, 이는 저주파 컷오프를 심하게 제한하며 커플링 커패시턴스를 키우면 기생 성분이 차동 구조의 이득을 상쇄한다는 한계가 있었다. 스택형 차동 TIA는 이를 해결가능하지만 여전히 2개의 레귤레이터와 캐소드측 TIA용 deep n-well이 필요하다는 문제점이 있었다.

본 논문은 PD 캐소드 바이어싱 회로가 전 주파수 대역에서 캐소드측 TIA 입력 임피던스보다 높은 임피던스를 갖도록 설계하고 R_{LS}, C_{LS} 병렬망 기반 광대역 레벨시프터로 캐

소드 전압을 TIA가 받아들일 수 있는 레벨로 낮춤으로써 단 650fF의 작은 커패시터만으로 낮은 저주파 컷오프를 구현했다. 또한 두 TIA 경로간 고주파 손실 차이를 캐소드측 R_f 를 5% 높여 보상하고 DC 캔슬레이션 루프로 레벨시프트 전류를 자동 설정해 별도 레귤레이터나 deep n-well 없이 완전 자동 TIA를 구현하였다.

7nm FinFET CMOS EIC를 65nm 실리콘 포토닉스 PIC위에 Cu-Cu 하이브리드 본딩으로 3D 적층한 칩으로 측정한 결과, BER $1e-12$ 기준 수신 감도는 28Gbps에서 -18.9dBm, 32Gb/s에서 -17.3dBm OMA를 기록하였다. 수신기는 1.05V 공급전압에서 14.45mA, PD 용 2V 공급에서 0.14mA를 소모해 32Gbps에서 0.484pJ/b의 에너지 효율을 달성했으며 수신기 면적은 $3700\mu m^2$ 으로 측정되었다.



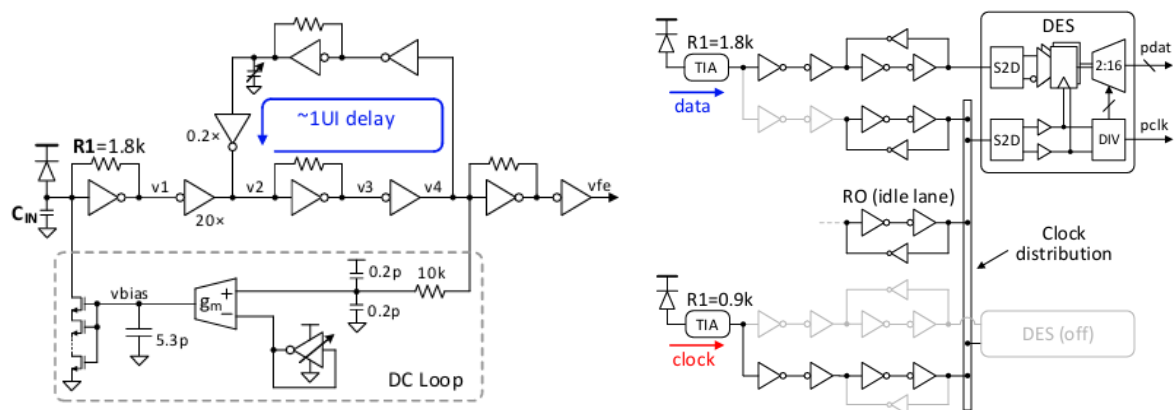
[그림 2] 논문에서 제안한 자동 TIA 회로(좌), 전체 수신기 회로(우)

#20-4 논문에서는 self-timed decision feedback equalization (STDFE)를 이용해 -18.5dBm OMA 감도와 0.416pJ/b의 에너지 효율을 동시에 달성한 32Gb/s 3D 적층 광 NRZ 수신기를 발표하였다. 광 링크의 에너지 효율 설계에서 RX OMA 감도는 레이저 파워를 직접 좌우하는 핵심 지표이며 기존 연구들은 이를 개선하기 위해 RX 입력단 기생 커패시턴스 축소, 트랜스임피던스 저항 증대를 통한 열잡음, 저항 잡음 감소 및 게인 향상, 샘플러 입력 스윙 확대, 데이터-클럭 경로 간 딜레이 매칭 등의 기법을 개별적으로 발전시켜 왔다. 그러나 트랜스임피던스 저항을 키워 노이즈와 게인을 개선할수록 대역폭이 줄어들고 이를 보상하기 위해서 별도의 타이밍 회로와 하드웨어 오버헤드가 추가되는 트레이드오프가 존재했다.

본 논문에서는 클럭포워딩 구조에서 딜레이 매칭을 위해 TIA 출력을 rail-to-rail로 증폭해야 한다는 기존 설계에서 착안하여 이 rail-to-rail 출력을 잡음이 억제된 신호로 재활용하는 STDFE를 제안한다. 즉 별도의 클럭 없이 데이터 신호 자체에서 피드백 타이밍을

얻어 트랜스임피던스 저항을 크게 하여 얻는 저잡음, 높은 게인 이득을 유지하면서 대역 폭 저하에 따른 추가 회로 부담 또한 완화시켰다.

7nm FinFET EIC와 65nm SOI PIC를 하이브리드 본딩으로 3D 적층한 칩으로 측정한 결과 32Gbps에서 BER 1e-12 미만 기준 OMA 감도는 PRBS31에서 -18.5dBm, ORBS7에서 -18.7dBm으로 STDFE를 적용하지 않은 베이스라인 RX 대비 2dB 개선되었으며 이때 추가 전류 소모는 1mA 미만으로 측정되었다. 수신기는 1.01V 공급에서 13.2mA를 소비해 32Gbps에서 0.416pJ/b의 에너지 효율을 달성했으며 면적은 3360um²으로 측정되었다.



[그림 3] 논문에서 제안한 STDFE를 활용한 TIA 회로(좌), 간소화한 수신기 회로(우)

저자정보



송충석 박사 후 연구원

- 소속 : 한양대학교
- 연구분야 : 딥러닝 가속기 설계
- 이메일 : scs940430@hanyang.ac.kr
- 홈페이지 : <https://sites.google.com/site/dsjeonglab1/home>